

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-069746

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

H02M 3/155

(21)Application number : 10-235595

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 21.08.1998

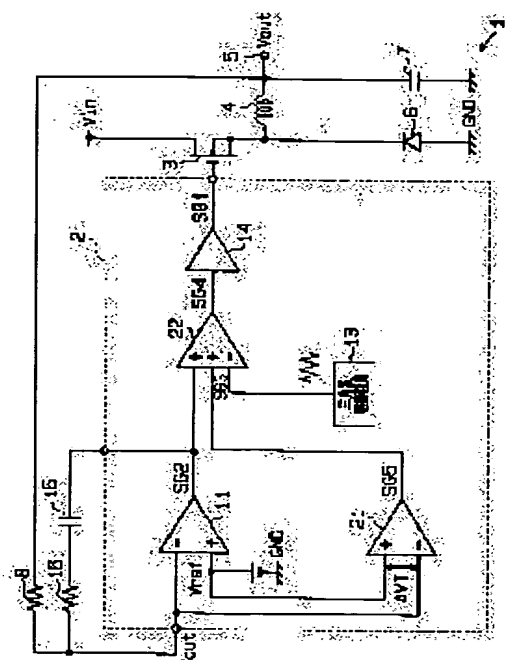
(72)Inventor : TAKIMOTO HISAICHI
MATSUYAMA TOSHIYUKI

(54) METHOD OF CONTROLLING DC-DC CONVERTER, CIRCUIT FOR CONTROLLING DC-DC CONVERTER AND DC-DC CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit for controlling a DC-DC converter which can output a stable voltage consistently.

SOLUTION: A comparator 21 has an offset voltage ΔV_T for a reference voltage V_{ref} between its input terminals. The reference voltage V_{ref} and an output voltage V_{out} are inputted to the input terminals of the comparator 21 which compares both voltages V_{ref} and V_{out} with each other. If the output voltage V_{out} is lower than the reference voltage V_{ref} by the offset voltage ΔV_T in accordance with the comparison result, the comparator 21 outputs an output signal SG5 whose level maximizes the duty ratio of a duty control signal SG4. An error output signal SG2 and the output signal SG5 are inputted to the 1st and 2nd non-reverse input terminals of a PWM comparison circuit 22 which compares on the signals SG2 and SG5 which has a higher level with a triangular wave signal SG3 and outputs the duty control signal SG4 in accordance with the comparison result.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-69746

(P 2000-69746 A)

(43) 公開日 平成12年3月3日 (2000. 3. 3)

(51) Int. Cl.⁷
H 0 2 M 3/155

識別記号

F I
H 0 2 M 3/155

テ-マ-ド (参考)

H 5H730

審査請求 未請求 請求項の数 15 O L

(全 1 4 頁)

(21) 出願番号 特願平10-235595

(22) 出願日 平成10年8月21日 (1998. 8. 21)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 滝本 久市

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100068755

弁理士 恩田 博宣

最終頁に続く

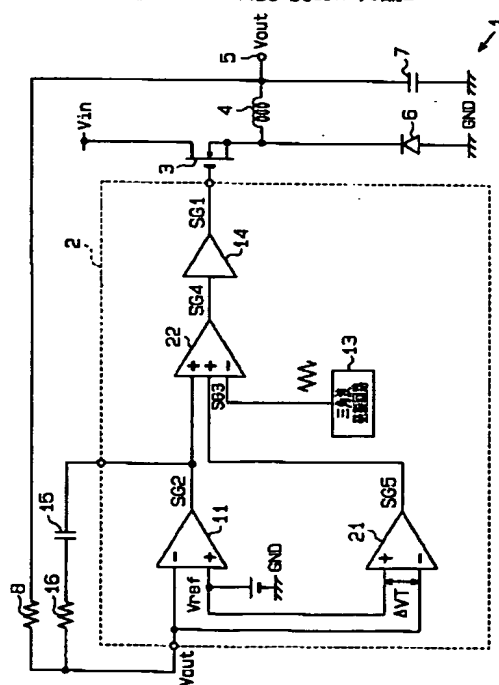
(54) 【発明の名称】 DC-DCコンバータの制御方法、DC-DCコンバータの制御回路、及び、DC-DCコンバータ

(57) 【要約】

【課題】 常に安定した出力電圧を出力することができる DC-DCコンバータの制御回路を提供する。

【解決手段】 コンパレータ 21 は、入力端子間に基準電圧 V_{ref} に対するオフセット電圧 ΔV_T を有し、それら入力端子に基準電圧 V_{ref} と出力電圧 V_{out} が入力され、両電圧 V_{ref} 、 V_{out} を比較する。コンパレータ 21 は、その比較結果に基づいて出力電圧 V_{out} が基準電圧 V_{ref} からオフセット電圧 ΔV_T だけ低くなると、デューティ制御信号 SG4 のデューティ比を最大とするレベルの出力信号 SG5 を出力する。PWM 比較回路 22 は、第 1、第 2 非反転入力端子に入力される誤差出力信号 SG2、前記出力信号 SG5 のうちのレベルの高い方の信号と、三角波信号 SG3 とを比較し、その比較結果に基づいてデューティ制御信号 SG4 を出力する。

第1の実施の形態におけるDC-DCコンバータの回路図



【特許請求の範囲】

【請求項 1】 基準電圧と、出力トランジスタのオンオフ動作に基づいて生成される出力電圧とが入力され、両電圧を比較してそれらの差電圧を増幅した誤差出力信号を出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と、前記誤差出力信号の大きさを比較し、該比較結果に基づくデューティ比を持つデューティ制御信号を出力する PWM 比較回路とを備え、

前記デューティ制御信号のデューティ比に基づいて前記出力トランジスタをオンオフ動作させて平滑回路の容量に充放電する時間を制御し、前記容量の充放電電圧に基づく前記出力電圧を前記基準電圧に近づけるようにした DC-DC コンバータの制御方法であって、

前記出力電圧が前記基準電圧からオフセットした所定電圧よりも低いときに、前記デューティ制御信号のデューティ比を最大として、前記出力トランジスタをオン動作させるようにしたことを特徴とする DC-DC コンバータの制御方法。

【請求項 2】 基準電圧と、出力トランジスタのオンオフ動作に基づいて生成される出力電圧とが入力され、両電圧を比較してそれらの差電圧を増幅した誤差出力信号を出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と、前記誤差出力信号の大きさを比較し、該比較結果に基づくデューティ比を持つデューティ制御信号を出力する PWM 比較回路とを備え、

前記デューティ制御信号のデューティ比に基づいて前記出力トランジスタをオンオフ動作させて平滑回路の容量に充放電する時間を制御し、前記容量の充放電電圧に基づく前記出力電圧を前記基準電圧に近づけるようにした DC-DC コンバータの制御回路であって、

前記出力電圧が前記基準電圧からオフセットした所定電圧よりも低いときに、前記デューティ制御信号のデューティ比を最大とするデューティ制御回路を備えたことを特徴とする DC-DC コンバータの制御回路。

【請求項 3】 請求項 2 に記載の DC-DC コンバータの制御回路において、

前記デューティ制御回路は、

入力端子間に前記基準電圧に対するオフセット電圧を有し、それら入力端子に前記基準電圧と前記出力電圧が入力され、両電圧を比較し、その比較結果に基づいて前記出力電圧が前記基準電圧からオフセット電圧だけ低いときに、前記デューティ制御信号のデューティ比を最大とするレベルの出力信号を出力するコンパレータと、

前記誤差出力信号又はデューティ制御信号と、前記出力信号とが入力され、両信号のうちレベルの高い信号を選択し、その信号を前記デューティ制御信号として前記出力トランジスタに出力する信号選択回路とを備えたことを特徴とする DC-DC コンバータの制御回路。

【請求項 4】 請求項 3 に記載の DC-DC コンバータの制御回路において、

前記コンパレータは、前記オフセット電圧に対応して互いに異なるサイズに形成した一対のトランジスタを入力初段に持つことを特徴とする DC-DC コンバータの制御回路。

【請求項 5】 請求項 3 に記載の DC-DC コンバータの制御回路において、

前記コンパレータは、前記基準電圧を抵抗分割し、その基準電圧より前記オフセット電圧だけ低い電圧を生成する抵抗分割回路を備え、該抵抗分割回路で生成された電圧と前記出力電圧とが入力されることを特徴とする DC-DC コンバータの制御回路。

【請求項 6】 請求項 3 に記載の DC-DC コンバータの制御回路において、

前記信号選択回路は前記 PWM 比較回路であって、

該 PWM 比較回路は、

前記誤差出力信号が入力される第 1 非反転入力端子と、前記コンパレータの出力信号が入力される第 2 非反転入力端子と、

前記三角波信号が入力される反転入力端子とを備え、

前記第 1、第 2 非反転入力端子に入力される信号のうちのレベルが高い方の信号と、前記三角波信号とを比較し、その比較結果に基づいて前記デューティ制御信号を出力することを特徴とする DC-DC コンバータの制御回路。

【請求項 7】 請求項 3 に記載の DC-DC コンバータの制御回路において、

前記信号選択回路は OR 回路で構成され、

該 OR 回路は、

前記 PWM 比較回路から出力されるデューティ制御信号と、前記コンパレータの出力信号とが入力され、両信号の論理演算結果を前記出力トランジスタに供給することを特徴とする DC-DC コンバータの制御回路。

【請求項 8】 請求項 2 に記載の DC-DC コンバータの制御回路において、

前記出力トランジスタと電源との間に接続され、前記平滑回路の容量を放電する第 2 出力トランジスタと、

前記誤差出力信号と前記三角波信号に基づいて、第 2 出力トランジスタを前記出力トランジスタと相補にオンオフ動作させるための信号を該第 2 出力トランジスタに出力する第 2 PWM 比較回路とを備えたことを特徴とする DC-DC コンバータの制御回路。

【請求項 9】 出力コイルと容量からなる平滑回路と、オンオフ動作して前記平滑回路を介して出力端子に出力電圧を発生させる出力トランジスタと、

基準電圧と、出力トランジスタのオンオフ動作に基づいて生成される出力電圧とが入力され、両電圧を比較してそれらの差電圧を増幅した誤差出力信号を出力する誤差増幅回路と、

三角波発振回路から出力される三角波信号と、前記誤差出力信号の大きさを比較し、該比較結果に基づくデューティ比を持つデューティ制御信号を出力するPWM比較回路とを備え、

前記デューティ制御信号のデューティ比に基づいて前記出力トランジスタをオンオフ動作させて平滑回路の容量に充放電する時間を制御し、前記容量の充放電電圧に基づく前記出力電圧を前記基準電圧に近づけるようにしたDC-DCコンバータであって、

前記出力電圧が前記基準電圧からオフセットした所定電圧よりも低いときに、前記デューティ制御信号のデューティ比を最大とするデューティ制御回路を備えたことを特徴とするDC-DCコンバータ。

【請求項10】 請求項9に記載のDC-DCコンバータにおいて、

前記デューティ制御回路は、

入力端子間に前記基準電圧に対するオフセット電圧を有し、それら入力端子に前記基準電圧と前記出力電圧が入力され、両電圧を比較し、その比較結果に基づいて前記出力電圧が前記基準電圧からオフセット電圧だけ低いときに、前記デューティ制御信号のデューティ比を最大とするレベルの出力信号を出力するコンパレータと、

前記誤差出力信号又はデューティ制御信号と、前記出力信号とが入力され、両信号のうちレベルの高い信号を選択し、その信号を前記デューティ制御信号として前記出力トランジスタに出力する信号選択回路とを備えたことを特徴とするDC-DCコンバータ。

【請求項11】 請求項10に記載のDC-DCコンバータにおいて、

前記コンパレータは、前記オフセット電圧に対応して互いに異なるサイズに形成した一対のトランジスタを入力初段に持つことを特徴とするDC-DCコンバータ。

【請求項12】 請求項10に記載のDC-DCコンバータにおいて、

前記コンパレータは、前記基準電圧を抵抗分割し、その基準電圧より前記オフセット電圧だけ低い電圧を生成する抵抗分割回路を備え、該抵抗分割回路で生成された電圧と前記出力電圧とが入力されることを特徴とするDC-DCコンバータ。

【請求項13】 請求項10に記載のDC-DCコンバータにおいて、

前記信号選択回路は前記PWM比較回路であって、

該PWM比較回路は、

前記誤差出力信号が入力される第1非反転入力端子と、前記コンパレータの出力信号が入力される第2非反転入力端子と、

前記三角波信号が入力される反転入力端子とを備え、

前記第1、第2非反転入力端子に入力される信号のうちのレベルが高い方の信号と、前記三角波信号とを比較し、その比較結果に基づいて前記デューティ制御信号を

出力することを特徴とするDC-DCコンバータ。

【請求項14】 請求項10に記載のDC-DCコンバータにおいて、

前記信号選択回路はOR回路で構成され、

該OR回路は、

前記PWM比較回路から出力されるデューティ制御信号と、前記コンパレータの出力信号とが入力され、両信号の論理演算結果を前記出力トランジスタに供給することを特徴とするDC-DCコンバータ。

【請求項15】 請求項9に記載のDC-DCコンバータにおいて、

前記出力トランジスタと電源との間に接続され、前記平滑回路の容量を放電する第2出力トランジスタと、前記誤差出力信号と前記三角波信号に基づいて、第2出力トランジスタを前記出力トランジスタと相補にオンオフ動作させるための信号を該第2出力トランジスタに出力する第2PWM比較回路とを備えたことを特徴とするDC-DCコンバータ。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は、各種電子機器に搭載された中央処理装置(CPU)、記憶装置(RAM、ROM)等の各種半導体集積回路装置(IC)に動作電源を供給するDC-DCコンバータの制御方法、DC-DCコンバータの制御回路、及び、DC-DCコンバータに関するものである。

【0002】近年の電子機器には、多数個の半導体集積回路装置(IC)が搭載されている。これら各半導体集積回路装置は個々に動作電源を必要としており、各動作電源は一般にDC-DCコンバータで生成される。そして、この動作電源が不安定になると、半導体集積回路装置の動作が不安定になり、このことが半導体集積回路装置の誤動作を引き起こす。そのため、DC-DCコンバータは、常に安定した動作電源を生成することが要求されている。

【0003】

【従来の技術】図7は、従来のDC-DCコンバータ1の一例を示す。DC-DCコンバータ1は、1チップの半導体集積回路装置上に形成された制御回路2と複数個の外付け素子とから構成されている。制御回路2の出力信号SG1は、エンハンスメント形NチャネルMOSトランジスタで構成される出力トランジスタ3のゲートに供給される。出力トランジスタ3のドレインには直流電源電圧Vinが供給され、ソースは出力コイル4を介して出力端子5に接続されている。出力端子5は、負荷としての図示しない各半導体集積回路装置に接続されている。そして、この出力端子5からは出力電圧Voutが出力される。

【0004】前記出力トランジスタ3のソースは、ショットキーダイオードよりなるフライホイールダイオード

6のカソードに接続されている。フライホイールダイオード6のアノードはグラウンドGNDに接続されている。前記出力端子5は、平滑化容量7を介してグラウンドGNDに接続されている。即ち、この平滑化容量7と前記出力コイル4とで前記出力電圧 V_{out} を平滑化する平滑回路が構成されている。又、前記出力端子5は抵抗8を介して制御回路2に接続され、その時の出力電圧 V_{out} が制御回路2に出力される。

【0005】前記制御回路2は、誤差増幅回路11、PWM比較回路12、三角波発振回路13、出力回路14を備えている。誤差増幅回路11の反転入力端子には前記出力電圧 V_{out} が入力され、非反転入力端子には基準電圧 V_{ref} が入力される。又、誤差増幅回路11の出力端子と反転入力端子との間には、外付けの位相補償容量15及び抵抗16の直列回路が接続されている。この直列回路は、誤差増幅回路11の発振を防止するために設けられている。そして、誤差増幅回路11は、前記出力電圧 V_{out} と基準電圧 V_{ref} とを比較し、両電圧の差電圧を増幅した誤差出力信号SG2を次段のPWM比較回路12に出力する。

【0006】PWM比較回路12の非反転入力端子には前記誤差増幅回路11からの誤差出力信号SG2が入力され、反転入力端子には三角波発振回路13からの三角波信号SG3が入力される。そして、PWM比較回路12は、前記誤差出力信号SG2と三角波信号SG3とを比較し、三角波信号SG3のレベルが誤差出力信号SG2を超える期間ではLレベル、三角波信号SG3のレベルが誤差出力信号SG2以下となる期間ではHレベルとなるパルス信号をデューティ制御信号SG4として次段の出力回路14に出力する。

【0007】出力回路14は、前記PWM比較回路12から出力されたデューティ制御信号SG4を前記出力信号SG1として前記出力トランジスタ3のゲートに供給する。

【0008】このように構成されたDC-DCコンバータ1では、制御回路2から出力される出力信号SG1に基づいて出力トランジスタ3がオンオフ動作され、出力端子5から出力される出力電圧 V_{out} が所定電圧（基準電圧 V_{ref} ）一定となるように制御される。

【0009】詳述すると、出力端子5に接続される各負荷の負荷電流が増加すると、出力電圧 V_{out} が下降する。すると、誤差増幅回路11では、出力電圧 V_{out} と基準電圧 V_{ref} との差電圧が大きくなるため、誤差増幅回路11の誤差出力信号SG2のレベルが上昇する。

【0010】誤差出力信号SG2のレベルが上昇すると、PWM比較回路12では、三角波信号SG3のレベルが誤差出力信号SG2を超える期間が短くなり、三角波信号SG3のレベルが誤差出力信号SG2以下となる期間が長くなる。つまり、PWM比較回路12のデューティ制御信号SG4は、そのHレベルとなる期間が長く

なる（デューティ比が高くなる）。

【0011】デューティ制御信号SG4のデューティ比が高くなると、同様に出力信号SG1のデューティ比も高くなり、出力トランジスタ3のオンする時間が長くなる。従って、出力電圧 V_{out} の電圧値は直流電源電圧 V_{in} に基づいて上昇する。

【0012】出力電圧 V_{out} が上昇すると、誤差増幅回路11では、出力電圧 V_{out} と基準電圧 V_{ref} との差電圧が小さくなるため、誤差出力信号SG2のレベルの上昇が小さくなる。

【0013】誤差出力信号SG2のレベルの上昇が小さくなると、PWM比較回路12では、三角波信号SG3のレベルが誤差出力信号SG2を超える期間が長くなり、三角波信号SG3のレベルが誤差出力信号SG2以下となる期間が短くなる。つまり、PWM比較回路12のデューティ制御信号SG4は、そのHレベルとなる期間が短くなる（デューティ比が低くなる）。

【0014】デューティ制御信号SG4のデューティ比が低くなると、同様に出力信号SG1のデューティ比も低くなり、出力トランジスタ3のオンする時間が短くなる。従って、出力電圧 V_{out} の電圧値の上昇が緩やかになる。

【0015】このような動作を繰り返すことにより、上記したDC-DCコンバータ1は、出力電圧 V_{out} が基準電圧 V_{ref} に収束するように動作し、安定した出力電圧 V_{out} を生成するようになっている。

【0016】

【発明が解決しようとする課題】ところで、上記構成のDC-DCコンバータ1は、出力電圧 V_{out} が変動すると、その出力電圧 V_{out} が再び所定電圧値（基準電圧 V_{ref} ）に収束するまでに時間を要する。この時間は、入出力端子間に位相補償容量15を接続した誤差増幅回路11の動作遅延時間がその多くを占めている。

【0017】そのため、図8に示すように、出力端子5に接続される負荷の負荷電流が急激に大きく変化すると、DC-DCコンバータ1はその変化に追従できず、出力電圧 V_{out} の電圧値が大きく下降してしまう。このように出力電圧 V_{out} の電圧値が大きく下降すると、出力端子5に接続される負荷、即ち半導体集積回路装置が誤動作するおそれがある。

【0018】本発明は、上記問題点を解決するためになされたものであって、その目的は、常に安定した出力電圧を出力することができるDC-DCコンバータの制御方法、DC-DCコンバータの制御回路、及び、DC-DCコンバータを提供することにある。

【0019】

【課題を解決するための手段】請求項1に記載の発明は、基準電圧と、出力トランジスタのオンオフ動作に基づいて生成される出力電圧とが入力され、両電圧を比較してそれらの差電圧を増幅した誤差出力信号を出力する

誤差増幅回路と、三角波発振回路から出力される三角波信号と、前記誤差出力信号の大きさを比較し、該比較結果に基づくデューティ比を持つデューティ制御信号を出力するPWM比較回路とを備え、前記デューティ制御信号のデューティ比に基づいて前記出力トランジスタをオンオフ動作させて平滑回路の容量に充放電する時間を制御し、前記容量の充放電電圧に基づく前記出力電圧を前記基準電圧に近づけるようにしたDC-DCコンバータの制御方法であって、前記出力電圧が前記基準電圧からオフセットした所定電圧よりも低いときに、前記デューティ制御信号のデューティ比を最大として、前記出力トランジスタをオン動作させるようにした。

【0020】請求項2に記載の発明は、基準電圧と、出力トランジスタのオンオフ動作に基づいて生成される出力電圧とが入力され、両電圧を比較してそれらの差電圧を増幅した誤差出力信号を出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と、前記誤差出力信号の大きさを比較し、該比較結果に基づくデューティ比を持つデューティ制御信号を出力するPWM比較回路とを備え、前記デューティ制御信号のデューティ比に基づいて前記出力トランジスタをオンオフ動作させて平滑回路の容量に充放電する時間を制御し、前記容量の充放電電圧に基づく前記出力電圧を前記基準電圧に近づけるようにしたDC-DCコンバータの制御回路であって、前記出力電圧が前記基準電圧からオフセットした所定電圧よりも低いときに、前記デューティ制御信号のデューティ比を最大とするデューティ制御回路を備えた。

【0021】請求項3に記載の発明は、請求項2に記載のDC-DCコンバータの制御回路において、前記デューティ制御回路は、入力端子間に前記基準電圧に対するオフセット電圧を有し、それら入力端子に前記基準電圧と前記出力電圧が入力され、両電圧を比較し、その比較結果に基づいて前記出力電圧が前記基準電圧からオフセット電圧だけ低いときに、前記デューティ制御信号のデューティ比を最大とするレベルの出力信号を出力するコンパレータと、前記誤差出力信号又はデューティ制御信号と、前記出力信号とが入力され、両信号のうちレベルの高い信号を選択し、その信号を前記デューティ制御信号として前記出力トランジスタに出力する信号選択回路とを備えた。

【0022】請求項4に記載の発明は、請求項3に記載のDC-DCコンバータの制御回路において、前記コンパレータは、前記オフセット電圧に対応して互いに異なるサイズに形成した一対のトランジスタを入力初段に持つ。

【0023】請求項5に記載の発明は、請求項3に記載のDC-DCコンバータの制御回路において、前記コンパレータは、前記基準電圧を抵抗分割し、その基準電圧より前記オフセット電圧だけ低い電圧を生成する抵抗分割回路を備え、該抵抗分割回路で生成された電圧と前記

出力電圧とが入力される。

【0024】請求項6に記載の発明は、請求項3に記載のDC-DCコンバータの制御回路において、前記信号選択回路は前記PWM比較回路であって、該PWM比較回路は、前記誤差出力信号が入力される第1非反転入力端子と、前記コンパレータの出力信号が入力される第2非反転入力端子と、前記三角波信号が入力される反転入力端子とを備え、前記第1、第2非反転入力端子に入力される信号のうちのレベルが高い方の信号と、前記三角波信号とを比較し、その比較結果に基づいて前記デューティ制御信号を出力する。

【0025】請求項7に記載の発明は、請求項3に記載のDC-DCコンバータの制御回路において、前記信号選択回路はOR回路で構成され、該OR回路は、前記PWM比較回路から出力されるデューティ制御信号と、前記コンパレータの出力信号とが入力され、両信号の論理演算結果を前記出力トランジスタに供給する。

【0026】請求項8に記載の発明は、請求項2に記載のDC-DCコンバータの制御回路において、前記出力トランジスタと電源との間に接続され、前記平滑回路の容量を放電する第2出力トランジスタと、前記誤差出力信号と前記三角波信号に基づいて、第2出力トランジスタを前記出力トランジスタと相補にオンオフ動作させるための信号を該第2出力トランジスタに出力する第2PWM比較回路とを備えた。

【0027】請求項9に記載の発明は、出力コイルと容量からなる平滑回路と、オンオフ動作して前記平滑回路を介して出力端子に出力電圧を発生させる出力トランジスタと、基準電圧と、出力トランジスタのオンオフ動作に基づいて生成される出力電圧とが入力され、両電圧を比較してそれらの差電圧を増幅した誤差出力信号を出力する誤差増幅回路と、三角波発振回路から出力される三角波信号と、前記誤差出力信号の大きさを比較し、該比較結果に基づくデューティ比を持つデューティ制御信号を出力するPWM比較回路とを備え、前記デューティ制御信号のデューティ比に基づいて前記出力トランジスタをオンオフ動作させて平滑回路の容量に充放電する時間を制御し、前記容量の充放電電圧に基づく前記出力電圧を前記基準電圧に近づけるようにしたDC-DCコンバータであって、前記出力電圧が前記基準電圧からオフセットした所定電圧よりも低いときに、前記デューティ制御信号のデューティ比を最大とするデューティ制御回路を備えた。

【0028】請求項10に記載の発明は、請求項9に記載のDC-DCコンバータにおいて、前記デューティ制御回路は、入力端子間に前記基準電圧に対するオフセット電圧を有し、それら入力端子に前記基準電圧と前記出力電圧が入力され、両電圧を比較し、その比較結果に基づいて前記出力電圧が前記基準電圧からオフセット電圧だけ低いときに、前記デューティ制御信号のデューティ

比を最大とするレベルの出力信号を出力するコンパレータと、前記誤差出力信号又はデューティ制御信号と、前記出力信号とが入力され、両信号のうちレベルの高い信号を選択し、その信号を前記デューティ制御信号として前記出力トランジスタに出力する信号選択回路とを備えた。

【0029】請求項11に記載の発明は、請求項10に記載のDC-DCコンバータにおいて、前記コンパレータは、前記オフセット電圧に対応して互いに異なるサイズに形成した一対のトランジスタを入力初段に持つ。

【0030】請求項12に記載の発明は、請求項10に記載のDC-DCコンバータにおいて、前記コンパレータは、前記基準電圧を抵抗分割し、その基準電圧より前記オフセット電圧だけ低い電圧を生成する抵抗分割回路を備え、該抵抗分割回路で生成された電圧と前記出力電圧とが入力される。

【0031】請求項13に記載の発明は、請求項10に記載のDC-DCコンバータにおいて、前記信号選択回路は前記PWM比較回路であって、該PWM比較回路は、前記誤差出力信号が入力される第1非反転入力端子と、前記コンパレータの出力信号が入力される第2非反転入力端子と、前記三角波信号が入力される反転入力端子とを備え、前記第1、第2非反転入力端子に入力される信号のうちのレベルが高い方の信号と、前記三角波信号とを比較し、その比較結果に基づいて前記デューティ制御信号を出力する。

【0032】請求項14に記載の発明は、請求項10に記載のDC-DCコンバータにおいて、前記信号選択回路はOR回路で構成され、該OR回路は、前記PWM比較回路から出力されるデューティ制御信号と、前記コンパレータの出力信号とが入力され、両信号の論理演算結果を前記出力トランジスタに供給する。

【0033】請求項15に記載の発明は、請求項9に記載のDC-DCコンバータにおいて、前記出力トランジスタと電源との間に接続され、前記平滑回路の容量を放電する第2出力トランジスタと、前記誤差出力信号と前記三角波信号に基づいて、第2出力トランジスタを前記出力トランジスタと相補にオンオフ動作させるための信号を該第2出力トランジスタに出力する第2PWM比較回路とを備えた。

【0034】（作用）請求項1に記載の発明によれば、出力電圧が基準電圧からオフセットした所定電圧よりも低くなると、デューティ制御信号のデューティ比が最大とされ、出力トランジスタがオン動作される。そのため、出力電圧が所定電圧値以下に大きく下降しようとしても、その期間内では出力トランジスタがオン動作されるので、出力電圧が速やかに上昇する。従って、DC-DCコンバータからは常に安定した出力電圧が出力される。

【0035】請求項2、9に記載の発明によれば、デュー

ティ制御回路は、出力電圧が基準電圧からオフセットした所定電圧よりも低くなると、デューティ制御信号のデューティ比を最大とし、出力トランジスタをオン動作させる。そのため、出力電圧が所定電圧値以下に大きく下降しようとしても、その期間内ではデューティ制御回路によって出力トランジスタがオン動作されるので、出力電圧が速やかに上昇する。従って、DC-DCコンバータからは常に安定した出力電圧が出力される。

【0036】請求項3、10に記載の発明によれば、コンパレータは、入力端子間に前記基準電圧に対するオフセット電圧を有し、それら入力端子に基準電圧と出力電圧が入力され、両電圧を比較し、その比較結果に基づいて出力電圧が基準電圧からオフセット電圧だけ低くなると、デューティ制御信号のデューティ比を最大とするレベルの出力信号を出力する。信号選択回路は、誤差出力信号又はデューティ制御信号と、コンパレータの出力信号とが入力され、両信号のうちレベルの高い信号を選択し、その信号をデューティ制御信号として出力トランジスタに出力する。そのため、出力電圧がオフセット電圧値以下に大きく下降しようとしても、その期間内ではコンパレータ及び信号選択回路によって出力トランジスタがオン動作されるので、出力電圧が速やかに上昇する。従って、DC-DCコンバータからは常に安定した出力電圧が出力される。

【0037】請求項4、11に記載の発明によれば、コンパレータの入力初段の一対のトランジスタは、オフセット電圧に対応して互いに異なるサイズに形成される。従って、オフセット電圧付きのコンパレータの構成が簡単になる。

【0038】請求項5、12に記載の発明によれば、コンパレータには、基準電圧を抵抗分割し、その基準電圧よりオフセット電圧だけ低い電圧を生成する抵抗分割回路が備えられ、該抵抗分割回路で生成された電圧と出力電圧とが入力される。従って、オフセット電圧付きのコンパレータの構成が簡単になる。

【0039】請求項6、13に記載の発明によれば、PWM比較回路には、誤差出力信号が入力される第1非反転入力端子と、コンパレータの出力信号が入力される第2非反転入力端子と、三角波信号が入力される反転入力端子とが備えられる。そして、PWM比較回路は、第1、第2非反転入力端子に入力される信号のうちのレベルが高い方の信号と、三角波信号とを比較し、その比較結果に基づいてデューティ制御信号を出力する。従って、出力電圧が基準電圧からオフセット電圧だけ低くなると、コンパレータはデューティ制御信号のデューティ比を最大とするレベルの出力信号を出力するので、この期間内では出力トランジスタはオン動作される。

【0040】請求項7、14に記載の発明によれば、OR回路には、PWM比較回路から出力されるデューティ制御信号と、コンパレータの出力信号とが入力される。

そして、OR回路は、両信号の論理演算結果を出力トランジスタに供給する。従って、出力電圧が基準電圧からオフセット電圧だけ低くなると、コンパレータはデューティ制御信号のデューティ比を最大とするレベルの出力信号を出力するので、この期間内では出力トランジスタはオン動作される。

【0041】請求項8、15に記載の発明によれば、出力トランジスタと電源との間には、平滑回路の容量を放電する第2出力トランジスタが接続される。そして、第2PWM比較回路は、誤差出力信号と三角波信号に基づいて、第2出力トランジスタを出力トランジスタと相補にオンオフ動作させるための信号を該第2出力トランジスタに出力する。従って、平滑回路の容量の放電時には、第2出力トランジスタによってその放電速度が速くなり、出力電圧の変化が速やかになる。

【0042】

【発明の実施の形態】（第1の実施の形態）図1は、本発明を具体化した第1の実施の形態のDC-DCコンパレータを示す。尚、本実施の形態において、図7に示す従来例と同一構成部材は同一の符号を付して説明する。

【0043】本実施の形態の特徴は、図1に示すように、オフセット電圧付きコンパレータ21が誤差増幅回路11と並列に設けられる。又、前記PWM比較回路12が、第1及び第2非反転入力端子と反転入力端子を備えたPWM比較回路22に置換される。

【0044】詳述すると、コンパレータ21の反転入力端子には出力電圧 V_{out} が入力され、非反転入力端子には基準電圧 V_{ref} が入力される。このコンパレータ21は、入力端子間にオフセット電圧 ΔV_T を持つ。即ち、出力電圧 V_{out} と基準電圧 V_{ref} の差電圧がオフセット電圧 ΔV_T 未満の時には、コンパレータ21はLレベルの出力信号SG5を出力する。又、出力電圧 V_{out} と基準電圧 V_{ref} の差電圧がオフセット電圧 ΔV_T 以上となると、コンパレータ21はHレベルの出力信号SG5を出力する。

【0045】つまり、言い換えると、コンパレータ21は、出力電圧 V_{out} が基準電圧 V_{ref} よりオフセット電圧 ΔV_T 分だけ低い電圧値以下になると、その期間内だけHレベルの出力信号SG5を出力する。尚、本実施の形態では、Hレベルの出力信号SG5は前記三角波発振回路13から出力される三角波信号SG3の最大レベルと同じかそれよりも高いレベルに設定され、Lレベルの出力信号SG5は前記三角波信号SG3の最小レベルと同じかそれよりも低いレベルに設定されている。

【0046】図2(a)は、前記コンパレータ21の具体的な回路の一例を示す。コンパレータ21は、2つのpnp型バイポーラトランジスタQ1、Q2と、4つのnpn型バイポーラトランジスタQ3~Q6と、3つの定電流源CS1~CS3とを備えている。

【0047】トランジスタQ1、Q2はコンパレータ2

1の入力回路を構成している。トランジスタQ1、Q2のコレクタはともに接続され、定電流源CS1を介して電源 V_{cc} に接続される。トランジスタQ1、Q2の各エミッタは、カレントミラー回路を構成するトランジスタQ3、Q4をそれぞれ介してグランドGNDに接続される。トランジスタQ3、Q4はベースが互いに接続されるとともに、そのベースがトランジスタQ3のコレクタに接続される。

【0048】前記トランジスタQ1のベースはコンパレータ21の非反転入力端子であって、そのベースには前記基準電圧 V_{ref} が入力される。又、トランジスタQ2のベースはコンパレータ21の反転入力端子であって、そのベースには前記出力電圧 V_{out} が入力される。

【0049】前記トランジスタQ2のサイズは、トランジスタQ1のサイズの「n」倍に形成されている。つまり、このようにトランジスタQ1、Q2のサイズを変更することで、コンパレータ21はその入力端子間にオフセット電圧 ΔV_T を持つ。

【0050】前記トランジスタQ5、Q6はコンパレータ21の出力回路を構成している。トランジスタQ5のコレクタは定電流源CS2を介して電源 V_{cc} に接続され、エミッタはグランドGNDに接続される。トランジスタQ5のベースは、トランジスタQ2のエミッタとトランジスタQ4のコレクタとの間のノードN1に接続される。トランジスタQ6のコレクタは定電流源CS3を介して電源 V_{cc} に接続され、エミッタはグランドGNDに接続される。トランジスタQ6のベースは、定電流源CS2とトランジスタQ5のコレクタとの間のノードN2に接続される。そして、定電流源CS3とトランジスタQ6のコレクタとの間のノードN3はコンパレータ21の出力端子であって、その出力端子からは前記出力信号SG5が出力される。

【0051】このように構成されたコンパレータ21では、出力電圧 V_{out} と基準電圧 V_{ref} の差電圧がオフセット電圧 ΔV_T 未満のときには、トランジスタQ2の電流値がトランジスタQ1のそれより小さくなる。そのため、ノードN1の電位が下降し、トランジスタQ5の電流値が小さくなり、ノードN2の電位が上昇する。これにより、トランジスタQ6がオンし、ノードN3の電位、即ちコンパレータ21の出力信号SG5がLレベルになる。

【0052】又、出力電圧 V_{out} と基準電圧 V_{ref} の差電圧がオフセット電圧 ΔV_T 以上になると、トランジスタQ2の電流値がトランジスタQ1のそれより大きくなる。そのため、ノードN1の電位が上昇し、トランジスタQ5の電流値が大きくなり、ノードN2の電位が下降する。これにより、トランジスタQ6がオフし、ノードN3の電位、即ちコンパレータ21の出力信号SG5がHレベルになる。

【0053】従って、上記したように、コンパレータ2

1は、出力電圧 V_{out} が基準電圧 V_{ref} よりオフセット電圧 ΔV_T 分だけ低い電圧値以下になると、その期間内だけHレベルの出力信号SG5を出力する。

【0054】尚、前記コンパレータ21の構成を適宜変更して実施してもよい。図2(b)は、コンパレータ21の別の具体的な回路を示す。コンパレータ21は、トランジスタQ1、Q2を同サイズで構成するとともに、トランジスタQ1のベース（コンパレータ21の非反転入力端子）に、基準電圧 V_{ref} からオフセット電圧 ΔV_T 分だけ低い電位（ $V_{ref} - \Delta V_T$ ）を供給する抵抗分割回路を接続して構成される。この抵抗分割回路は、基準電圧 V_{ref} を抵抗分割する抵抗R1、R2で構成され、抵抗R1、R2の抵抗値によりノードN4の電位を（ $V_{ref} - \Delta V_T$ ）とする。

【0055】図1に示すように、前記PWM比較回路22の第1非反転入力端子には前記誤差増幅回路11からの誤差出力信号SG2が入力され、第2非反転入力端子には前記コンパレータ21からの出力信号SG5が入力される。又、PWM比較回路22の反転入力端子には、前記三角波発振回路13からの三角波信号SG3が入力される。

【0056】PWM比較回路22は、第1非反転入力端子に入力される誤差出力信号SG2と第2非反転入力端子に入力される出力信号SG5のレベルが大きき方と、反転入力端子に入力される三角波信号SG3とを比較する。そして、PWM比較回路22は、その比較において、三角波信号SG3のレベルの方が大きくなる期間ではLレベル、三角波信号SG3のレベルの方が小さくなる期間ではHレベルとなるパルス信号をデューティ制御信号SG4として次段の出力回路14に出力する。

【0057】即ち、前記コンパレータ21の出力信号SG5がHレベルとなる期間では、上記したようにこのレベルは三角波信号SG3の最大レベルと同じかそれよりも高いレベルに設定されているため、PWM比較回路22から出力されるデューティ制御信号SG4はHレベルに固定される（デューティ比：100%）。従って、この期間内では、デューティ制御信号SG4に基づいて制御回路2の出力信号SG1がHレベルに固定され、出力トランジスタ3がオン状態に維持される。

【0058】一方、前記コンパレータ21の出力信号SG5がLレベルとなる期間では、このレベルは三角波信号SG3の最小レベルと同じかそれよりも低いレベルに設定されているため、PWM比較回路22は、従来と同様に誤差出力信号SG2と三角波信号SG3との比較に基づいたデューティ比のデューティ制御信号SG4を出力する。従って、この期間内では、従来例と同様に出力トランジスタ3がオンオフ制御される。

【0059】次に、上記のように構成されたDC-DCコンバータ1の作用を説明する。出力端子5に接続される負荷の負荷電流が比較的小さく変化、即ち基準電圧V

V_{ref} との差電圧がオフセット電圧 ΔV_T 未満の範囲で出力電圧 V_{out} が変化している場合、コンパレータ21からはLレベルの出力信号SG5が出力される。

【0060】すると、PWM比較回路22は、従来と同様に誤差出力信号SG2と三角波信号SG3との比較に基づいたデューティ比のデューティ制御信号SG4を出力し、出力回路14はデューティ制御信号SG4を出力信号SG1として出力する。従って、従来と同様に出力トランジスタ3はこの出力信号SG1に基づいてオンオフ動作され、出力端子5から出力される出力電圧 V_{out} が所定電圧（基準電圧 V_{ref} ）に収束するように制御される。

【0061】又、図3に示すように、出力端子5に接続される負荷の負荷電流が急激に大きく変化、即ち出力電圧 V_{out} が基準電圧 V_{ref} よりオフセット電圧 ΔV_T 分だけ低い電圧値以下になると、その期間内、コンパレータ21からはHレベルの出力信号SG5が出力される。

【0062】すると、出力信号SG5がHレベルとなる期間では、PWM比較回路22のデューティ制御信号SG4がHレベルに固定される。従って、この期間内では、デューティ制御信号SG4に基づいて制御回路2の出力信号SG1がHレベルに固定され、出力トランジスタ3がオン状態に維持される。すると、出力電圧 V_{out} の電圧値が直流電源電圧 V_{in} に基づいて速やかに上昇する。そして、出力電圧 V_{out} が基準電圧 V_{ref} からオフセット電圧 ΔV_T 分だけ低い電圧（ $V_{ref} - \Delta V_T$ ）より高くなると、コンパレータ21の出力信号SG5はLレベルとなり、上記と同様に動作する。

【0063】このように本実施の形態のDC-DCコンバータ1では、図3に示すように出力端子5に接続される負荷の負荷電流が急激に大きく変化しても、コンパレータ21の動作によって出力電圧 V_{out} の電圧値が大きく下降することが防止されている。

【0064】上記したように、本実施の形態では、以下の作用効果を得ることができる。

(1) コンパレータ21は、入力端子間にオフセット電圧 ΔV_T を有するとともに、その入力端子から出力電圧 V_{out} と基準電圧 V_{ref} とをそれぞれ入力し、両電圧 V_{out} 、 V_{ref} の差電圧がオフセット電圧 ΔV_T 以上になると、その期間内、Hレベルの出力信号SG5を出力する。PWM比較回路22は、前記期間内において、コンパレータ21から出力されたHレベルの出力信号SG5をデューティ制御信号SG4として出力回路14に出力する。そして、出力回路14は、そのデューティ制御信号SG4を制御回路2の出力信号SG1として出力トランジスタ3に出力する。そのため、出力電圧 V_{out} がオフセット電圧値 ΔV_T 以下に大きく下降しようとしても、その期間内ではコンパレータ21、PWM比較回路22等によって出力トランジスタ3がオン状態に維持されるので、出力電圧 V_{out} が速やかに上昇する。従っ

て、DC-DCコンバータ1からは常に安定した出力電圧 V_{out} を出力することができる。

(2) しかも、従来例のDC-DCコンバータに対して、オフセット電圧付きのコンパレータ21を追加し、2入力のPWM比較回路12を3入力のPWM比較回路22に置換するだけで本実施の形態のDC-DCコンバータを構成することができる。従って、本実施の形態のDC-DCコンバータを簡単に構成することができる。

【0065】(3) 本実施の形態のコンパレータ21は、図2(a)に示すように入力初段のトランジスタQ2のサイズがトランジスタQ1のサイズの「n」倍で構成され、入力端子間にオフセット電圧 ΔV_T を持たせている。従って、オフセット電圧付きのコンパレータ21の構成を簡単とすることができる。尚、図2(b)に示すように抵抗 R_1 、 R_2 により基準電圧 V_{ref} を抵抗分割して入力するように構成しても、オフセット電圧付きのコンパレータ21の構成は簡単である。

【0066】(第2の実施の形態) 図4は、本発明を具体化した第2の実施の形態のDC-DCコンバータを示す。本実施の形態の特徴は、図1に示す第1の実施の形態のDC-DCコンバータに対し、PWM比較回路22を従来例で用いた2入力のPWM比較回路12に置換し、OR回路23を追加した。

【0067】詳述すると、OR回路23には、PWM比較回路12のデューティ制御信号SG4と、コンパレータ21の出力信号SG5が入力される。そして、OR回路23は、デューティ制御信号SG4と出力信号SG5とを比較し、そのレベルが大きい方の信号を出力信号SG6として次段の出力回路14に出力する。

【0068】このように構成されたDC-DCコンバータ1では、出力端子5に接続される負荷の負荷電流が比較的小さく変化、即ち基準電圧 V_{ref} との差電圧がオフセット電圧 ΔV_T 未満の範囲で出力電圧 V_{out} が変化している場合、コンパレータ21からはLレベルの出力信号SG5が出力される。

【0069】一方、PWM比較回路12は、従来と同様に誤差出力信号SG2と三角波信号SG3との比較結果に基づいたデューティ比を持つデューティ制御信号SG4を出力する。従って、OR回路23は、デューティ制御信号SG4を出力信号SG6として出力する。そのため、出力回路14はOR回路23の出力信号SG6を出力信号SG1として出力し、従来と同様に、出力トランジスタ3はこの出力信号SG1に基づいてオンオフ動作され、出力端子5から出力される出力電圧 V_{out} が所定電圧(基準電圧 V_{ref})に収束するように制御される。

【0070】又、図3に示すように、出力端子5に接続される負荷の負荷電流が急激に大きく変化、即ち出力電圧 V_{out} が基準電圧 V_{ref} よりオフセット電圧 ΔV_T 分だけ低い電圧値以下になると、その期間内、コンパレータ21からはHレベルの出力信号SG5が出力される。

【0071】すると、出力信号SG5がHレベルとなる期間では、OR回路23の出力信号SG6がHレベルに固定される。従って、この期間内では、出力信号SG6に基づいて制御回路2の出力信号SG1がHレベルに固定され、出力トランジスタ3がオン状態に維持される。すると、出力電圧 V_{out} の電圧値が直流電源電圧 V_{in} に基づいて速やかに上昇する。そして、出力電圧 V_{out} が基準電圧 V_{ref} からオフセット電圧 ΔV_T 分だけ低い電圧($V_{ref} - \Delta V_T$)より高くなると、コンパレータ21の出力信号SG5はLレベルとなり、上記と同様に動作する。

【0072】このように本実施の形態のDC-DCコンバータ1では、前記第1の実施の形態と同様に動作する。従って、このようにDC-DCコンバータ1を構成しても、第1の実施の形態と同様の作用効果を得ることができる。

【0073】(第3の実施の形態) 図5は、本発明を具体化した第3の実施の形態のDC-DCコンバータを示す。本実施の形態の特徴は、図1に示す第1の実施の形態のDC-DCコンバータに対し、PWM比較回路22aと、出力回路14aと、前記出力トランジスタ3と同一構成の出力トランジスタ3aとを追加した。

【0074】詳述すると、PWM比較回路22aには、PWM比較回路22と同様に誤差出力信号SG2、出力信号SG2、三角波信号SG3が入力される。そして、このPWM比較回路22aは、PWM比較回路22と同様の比較動作を行い、デューティ制御信号SG4の論理を反転した反転デューティ制御信号・バーSG4を次段の出力回路14aに出力する。

【0075】出力回路14aは、PWM比較回路22aから出力された反転デューティ制御信号・バーSG4を反転出力信号・バーSG1として出力トランジスタ3aのゲートに供給する。この出力トランジスタ3aは、前記出力トランジスタ3のソースとグランドGNDとの間に接続されている。

【0076】このように構成されたDC-DCコンバータ1では、PWM比較回路22、22aと出力回路14、14aによって、出力トランジスタ3、3aが相補的にオンオフ制御され、前記第1の実施の形態と同様に動作する。従って、このようにDC-DCコンバータ1を構成しても、第1の実施の形態と同様の作用効果を得ることができる。

【0077】しかも、本実施の形態では、出力トランジスタ3がオフ状態になると、出力トランジスタ3がオン状態になるので、出力トランジスタ3のソース電位をグランドGNDレベルにすることができる。従って、出力トランジスタ3のソース電位の変化を速やかにすることができる。

【0078】(第4の実施の形態) 図6は、本発明を具体化した第4の実施の形態のDC-DCコンバータを示

す。本実施の形態の特徴は、図 5 に示す第 3 の実施の形態の DC-DC コンバータに対し、PWM 比較回路 22、22a を 2 入力の PWM 比較回路 12、12a に置換し、コンパレータ 21 を相補出力信号 SG5、バー SG5 を出力するコンパレータ 21a に置換した。又、OR 回路 23 と AND 回路 24 を追加した。

【0079】詳述すると、コンパレータ 21a は、上記したように相補出力信号 SG5、バー SG5 を出力する。従って、コンパレータ 21a は、出力電圧 V_{out} が基準電圧 V_{ref} よりオフセット電圧 ΔV_T 分だけ低い電圧値以下になると、その期間内において、H レベルの出力信号 SG5 と、L レベルの反転出力信号・バー SG5 をそれぞれ出力する。

【0080】OR 回路 23 には、PWM 比較回路 12 のデューティ制御信号 SG4 と、コンパレータ 21a の出力信号 SG5 が入力される。そして、OR 回路 23 は、デューティ制御信号 SG4 と出力信号 SG5 とを比較し、そのレベルが大きい方の信号を出力信号 SG6 とし、次段の出力回路 14 に出力する。

【0081】AND 回路 24 には、PWM 比較回路 12a から出力される反転デューティ制御信号・バー SG4 と、コンパレータ 21a から出力される反転出力信号・バー SG5 が入力される。すると、AND 回路 24 は、OR 回路 23 の出力信号 SG6 の論理を反転した反転出力信号・バー SG6 を次段の出力回路 14a に出力する。

【0082】このように構成された DC-DC コンバータ 1 では、PWM 比較回路 12、12a、OR 回路 23、AND 回路 24 等によって、出力トランジスタ 3、3a が相補的にオンオフ制御され、前記第 3 の実施の形態と同様に動作する。従って、このように DC-DC コンバータ 1 を構成しても、第 3 の実施の形態と同様の作用効果を得ることができる。

【0083】尚、本発明の実施の形態は以下のように変更してもよい。

○上記各実施の形態では、出力トランジスタ 3 を N チャネル MOS トランジスタにて実施したが、P チャネル MOS トランジスタで実施してもよい。この場合、例えば出力回路 14 において、デューティ制御信号 SG4 を反転させた出力信号 SG1 を生成する必要がある。又、出力トランジスタ 3 をバイポーラトランジスタで構成してもよい。尚、出力トランジスタ 3a についても同様である。

【0084】○上記各実施の形態では、出力回路 14、14a を設けたが、これを省略してもよい。

○上記各実施の形態では、1 チップの半導体集積回路装置上に形成した制御回路 2 は、誤動作増幅回路 11、三角波発振回路 13、出力回路 14、コンパレータ 21、PWM 比較回路 22 等であったが、例えば、三角波発振回路 13 を別の半導体集積回路装置に形成したりする

等、適宜複数の半導体集積回路装置上に形成し、それを電氣的に接続して制御回路 2 を形成してもよい。又、制御回路 2 を、出力トランジスタ 3、出力コイル 4 及び容量 7 よりなる平滑回路等と同じ 1 チップの半導体集積回路装置上に形成し、1 チップの半導体集積回路装置上に DC-DC コンバータを構成してもよい。

【0085】

【発明の効果】以上詳述したように、本発明によれば、常に安定した出力電圧を出力することができる DC-DC コンバータの制御方法、DC-DC コンバータの制御回路、及び、DC-DC コンバータを提供することができる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態における DC-DC コンバータの回路図。

【図 2】 コンパレータの回路図。

【図 3】 DC-DC コンバータの動作を説明するための波形図。

【図 4】 第 2 の実施の形態における DC-DC コンバータの回路図。

【図 5】 第 3 の実施の形態における DC-DC コンバータの回路図。

【図 6】 第 4 の実施の形態における DC-DC コンバータの回路図。

【図 7】 従来の DC-DC コンバータの回路図。

【図 8】 DC-DC コンバータの動作を説明するための波形図。

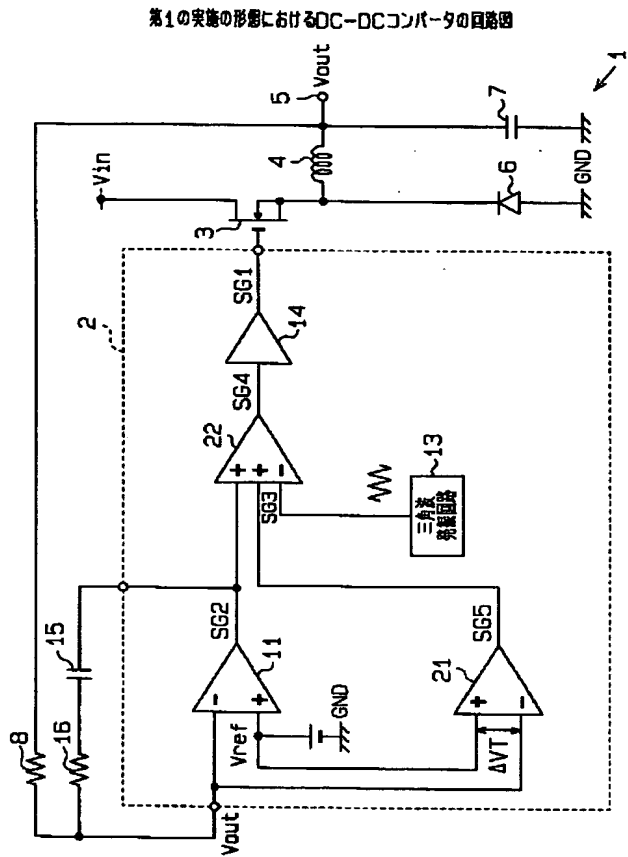
【符号の説明】

3	出力トランジスタ
3a	第 2 出力トランジスタ
4	出力コイル
5	出力端子
7	容量
11	誤差増幅回路
12	PWM 比較回路
12a	第 2 PWM 比較回路としての PWM 比較回路
13	三角波発振回路
21	デューティ制御回路を構成するコンパレータ
21a	デューティ制御回路を構成するコンパレータ
22	信号選択回路としての PWM 比較回路
22a	第 2 PWM 比較回路としての PWM 比較回路
23	信号選択回路としての OR 回路
Q1, Q2	pnp 型バイポーラトランジスタ
R1, R2	抵抗分割回路を構成する抵抗
SG2	誤差出力信号
SG3	三角波信号

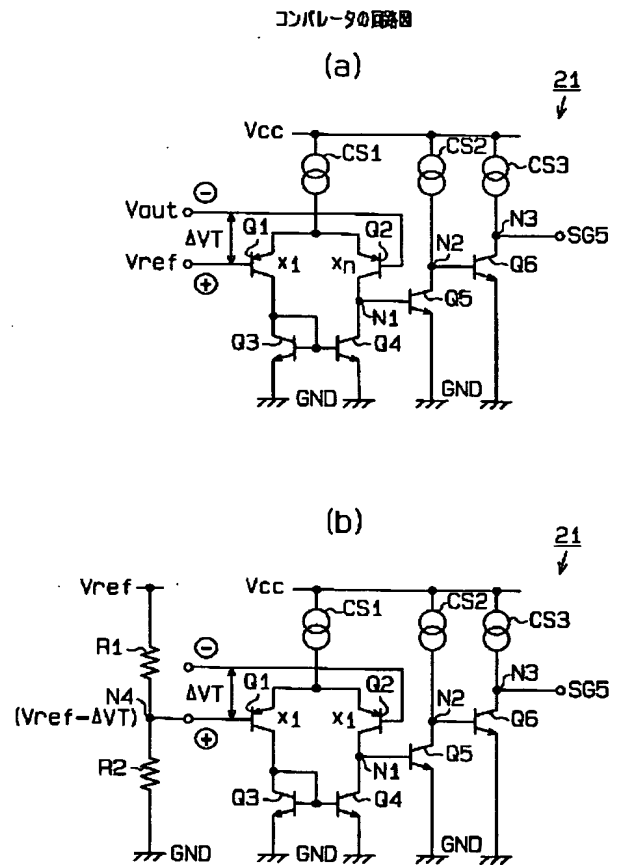
SG4 デューティ制御信号
SG5 出力信号
Vref 基準電圧

Vout 出力電圧
 ΔVT オフセット電圧

【図1】

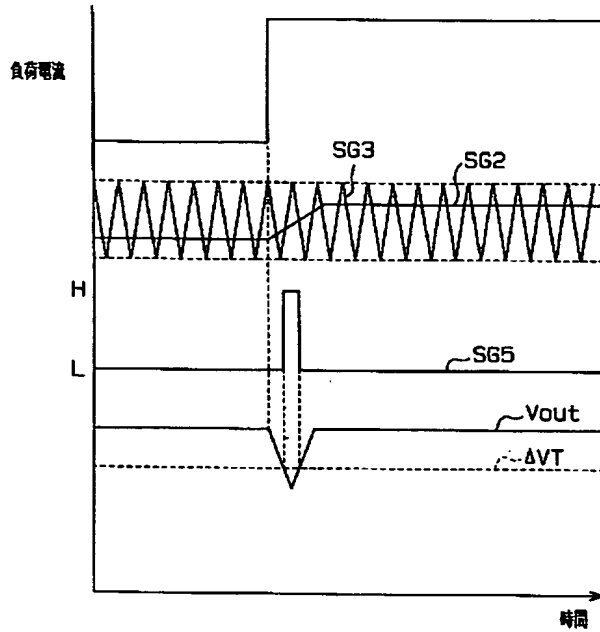


【図2】



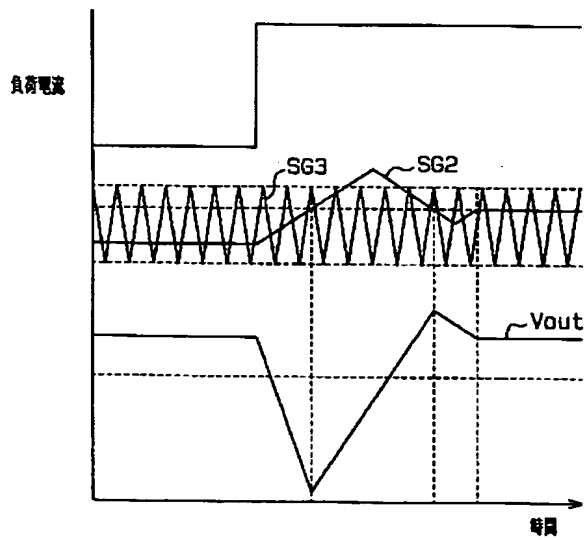
【図3】

DC-DCコンバータの動作を説明するための波形図



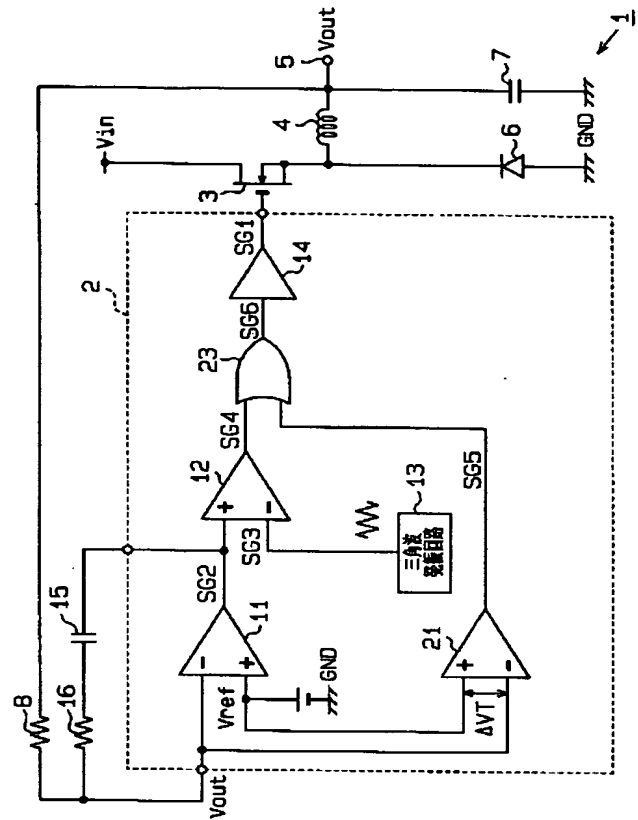
【図8】

DC-DCコンバータの動作を説明するための波形図



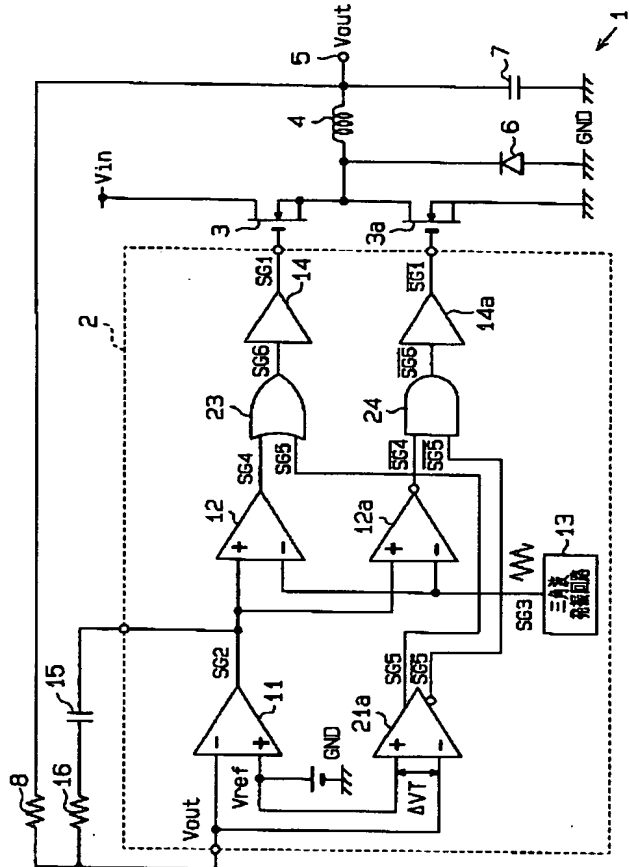
【図4】

第2の実施の形態におけるDC-DCコンバータの回路図



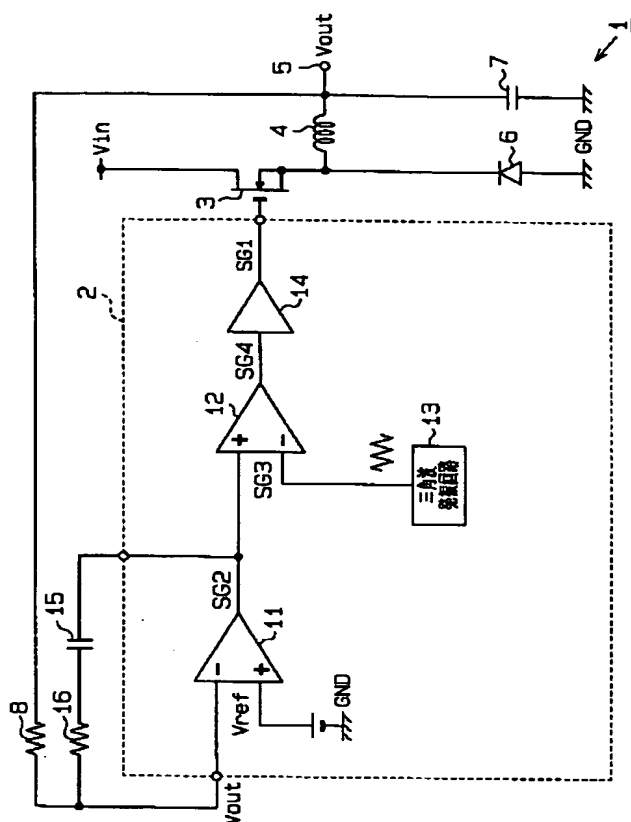
【図 6】

第4の実施の形態におけるDC-DCコンバータの回路図



【図7】

従来のDC-DCコンバータの回路図



フロントページの続き

(72)発明者 松山 俊幸
 愛知県春日井市高蔵寺町二丁目1844番2
 富士通ヴィエルエスアイ株式会社内

Fターム(参考) 5H730 AA04 BB13 BB57 DD04 EE08
 EE10 EE14 FD01 FF02 FG05